

T S1/5/1

1/5/1

DIALOG(R) File 351:Derwent WPI

(c) 2005 Thomson Derwent. All rts. reserv.

010932301 **Image available**

WPI Acc No: 1996-429251/199643

Related WPI Acc No: 2005-236639

XRPX Acc No: N96-361616

Flat panel display device for e.g. personal computer, word processor,
video projector - has sequence controller to make every pixel data block
orderly supplied to each data supply bus corresponding to each pixel
block according to number of pixels present in each block

Patent Assignee: TOSHIBA KK (TOKE)

Inventor: ARAI T; KINOSHITA K; SHIMIZU K

Number of Countries: 004 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8211846	A	19960820	JP 95277942	A	19951025	199643 B
TW 290677	A	19961111	TW 95111421	A	19951028	199711
US 5771031	A	19980623	US 95548615	A	19951026	199832
KR 262226	B1	20000715	KR 9538034	A	19951026	200131

Priority Applications (No Type Date): JP 94262122 A 19941026

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 8211846	A	17	G09G-003/20	
TW 290677	A		G09G-003/36	
US 5771031	A		G09G-003/36	
KR 262226	B1		G02F-001/133	

Abstract (Basic): JP 8211846 A

he device has a display panel from which several pixels are
arranged in matrix such that each line forms a horizontal pixel array.
Several pixel drivers drive and divide the array into several pixel
blocks. The data supply buses (SDL1,SDL2) are connected to each driver
so that data for each pixel block can be supplied. The pixel data
supplied from a data distribution circuit (DST) are orderly distributed
by liq. crystal controller (16) to each data supply bus that
corresponds to each pixel block.

The pixel data which are orderly supplied are divided as a pixel
data block to make it correspond to the number of pixels present in
each pixel block. A sequence controller (SC) makes each pixel data
block supplied to each data supply bus that corresponds to each pixel
block.

USE/ADVANTAGE - For active matrix LCD. Enables it to maintain
required memory capacity of each pixel block in small scale.

Dwg.4/9

Title Terms: FLAT; PANEL; DISPLAY; DEVICE; PERSON; COMPUTER; WORD;
PROCESSOR; VIDEO; PROJECT; SEQUENCE; CONTROL; PIXEL; DATA; BLOCK; ORDER;
SUPPLY; DATA; SUPPLY; BUS; CORRESPOND; PIXEL; BLOCK; ACCORD; NUMBER;
PIXEL; PRESENT; BLOCK

Index Terms/Additional Words: LIQUID; CRYSTAL; DISPLAY

Derwent Class: P81; P85; T04; U14

International Patent Class (Main): G02F-001/133; G09G-003/20; G09G-003/36

International Patent Class (Additional): G02F-001/133

File Segment: EPI; EngPI

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-211846

(43) 公開日 平成8年(1996)8月20日

技術表示箇所

(51) Int.Cl.⁶

G 0 9 G 3/20

G 0 2 F 1/133

G 0 9 G 3/36

識別記号

W 4237-5H

5 5 0

庁内整理番号

F I

審査請求 未請求 請求項の数20 OL (全 17 頁)

(21) 出願番号 特願平7-277942

(22) 出願日 平成7年(1995)10月25日

(31) 優先権主張番号 特願平6-262122

(32) 優先日 平6(1994)10月26日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 木下 弘平

神奈川県川崎市川崎区日進町7番地1 東

芝電子エンジニアリング株式会社内

(72) 発明者 荒井 徹

兵庫県姫路市余部区上余部50番地 株式会

社東芝姫路工場内

(72) 発明者 清水 簡

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

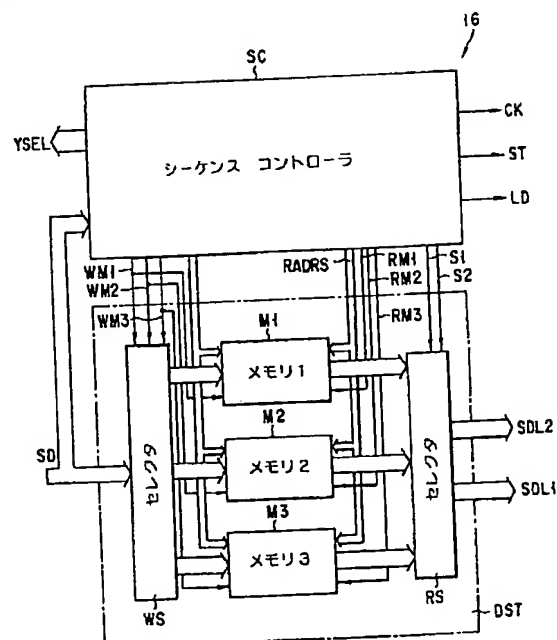
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 フラットパネル表示装置およびその駆動方法

(57) 【要約】

【課題】 各水平画素アレイのブロック駆動に必要なメモリ容量を小規模にする。

【解決手段】 複数の画素がマトリクス状に配列された表示パネル3と、8画素ブロックを駆動する8個のドライバ部と、これらドライバ部が順番に接続されるデータ供給バスSDL1、SDL2と、順次供給される画素データをデータ供給バスSDL1、SDL2に分配する液晶コントローラ16とを設け、各々1画素ブロック分の画素データを格納するメモリM1-M3を含むデータ分配回路DST、並びに外部から順次供給される画素データを画素データブロックとして区分し、2画素データブロックを2メモリに順次書込み、この書込中にこれら2メモリに格納された2画素データブロックを並列的に読出し、これら2画素データブロックを第1および第2データ供給バスSDL1、SDL2のうちの対応するものに供給させるシーケンスコントローラSCを液晶コントローラ16に設ける。



1

【特許請求の範囲】

【請求項1】 複数の画素がマトリクス状に配列され各行の画素が1水平画素アレイを構成する表示パネルと、各水平画素アレイの画素を連続する複数の画素ブロックに分割してそれぞれ駆動する複数のドライバ部と、これらドライバ部が順番に接続されるM個のデータ供給バスと、外部から順次供給される画素データをM個のデータ供給バスに分配する制御手段とを備え、前記制御手段は各々一領域への書込中に他領域からの読出しが可能であり、1ブロックの画素に対応する画素データを格納する複数のメモリ部を含み、これらメモリ部の合計メモリ容量が1水平画素アレイ分の画素データを全て格納するためのメモリ容量よりも少ないデータ分配回路、並びに外部から順次供給される画素データを1画素ブロックの画素数に対応する数毎に画素データブロックとして区分し、M個の画素データブロックを前記M個のメモリ部に順次書込み、この書込中にこれらM個のメモリ部に格納されたM個の画素データブロックを並列的に読出し、これらM個の画素データブロックを前記M個のデータ供給バスのうちの対応するものにそれぞれ供給する制御を行なう制御回路を有することを特徴とするフラットパネル表示装置。

【請求項2】 前記複数のメモリ部の合計メモリ容量は1水平画素アレイ分の画素データを全て格納するためのメモリ容量の半分より少なく設定されることを特徴とする請求項1に記載のフラットパネル表示装置。

【請求項3】 前記M個のデータ供給バスは第1および第2データ供給バスで構成され、前記ドライバ部の数は2の整数倍に等しく設定されることを特徴とする請求項1に記載のフラットパネル表示装置。

【請求項4】 前記データ分配回路は、各々1画素ブロックの画素数に対応する数の画素データを格納することが可能なメモリ容量を持ち各画素データブロックを書込むために1つずつ選択され連続した2画素データブロックを並列的に読出すために2つずつ選択される第1、第2、および第3メモリ部を含み、前記制御回路は書込領域と読出領域とをオーバーラップさせずに各画素データブロックの全画素データを所定期間で前記第1、第2および第3メモリ部のうちの1つに書込みながらこの所定期間の2倍の期間で連続した2画素データを並列的に前記第1、第2、および第3メモリ部のうちの2つから読出す制御を行なうシーケンスコントローラを有することを特徴とする請求項3に記載のフラットパネル表示装置。

【請求項5】 各画素データは複数の色成分の階調をそれぞれ表すカラー画素データであり、各ドライバ部は1カラー画素データに対応して前記色成分数に等しい数の画素を駆動するよう構成されることを特徴とする請求項4に記載のフラットパネル表示装置。

【請求項6】 前記データ分配回路は外部から順次供給

2

される画素データを2つずつ2ワード画素データに変換する変換手段を有し、各メモリ部のそれぞれの領域はこの変換手段から順次供給される2ワード画素データを格納するために1画素データのビット数の2倍に設定されるワード長を持つことを特徴とする請求項4に記載のフラットパネル表示装置。

【請求項7】 前記データ分配回路は、各々1画素ブロックの画素数に対応する数よりも少なくとも1だけ多い数の画素データを格納することが可能なメモリ容量を持ち各画素データブロックを書込むために1つずつ選択され連続した2画素データブロックを並列的に読出すために2つとも選択される第1および第2メモリ部を含み、前記制御回路は書込領域と読出領域とをオーバーラップさせずに各画素データブロックの全画素データを所定期間で第1および第2メモリ部のうちの1つに書込みながらこの所定期間の2倍の期間で連続した2画素データを並列的に第1および第2メモリ部から読出す制御を行なうシーケンスコントローラを有することを特徴とする請求項3に記載のフラットパネル表示装置。

【請求項8】 各画素データは複数の色成分の階調をそれぞれ表すカラー画素データであり、各ドライバ部は1カラー画素データに対応して前記色成分数に等しい数の画素を駆動するよう構成されることを特徴とする請求項7に記載のフラットパネル表示装置。

【請求項9】 前記データ分配回路は外部から順次供給される画素データを2つずつ2ワード画素データに変換する変換手段を有し、各メモリ部のそれぞれの領域はこの変換手段から順次供給される2ワード画素データを格納するために1画素データのビット数の2倍に設定されるワード長を持つことを特徴とする請求項7に記載のフラットパネル表示装置。

【請求項10】 複数の画素がマトリクス状に配列され各行の画素が1水平画素アレイを構成する表示パネルと、各水平画素アレイの画素を分割して得られる第1および第2画素ブロックをそれぞれ駆動する第1および第2ドライバ部と、1水平画素アレイ分の画素データを前記第1および第2駆動回路に分配する制御手段とを備え、前記制御手段が合計メモリ容量が1水平画素アレイ分の画素データ数に対応するメモリ容量よりも少ない複数のメモリ領域を有し、一領域への書込中に他の領域からの読出が可能なメモリ手段、並びに順次供給される画素データを所定レートでこのメモリ手段に書込み、この書込中に前記メモリ手段から前記第1および第2ブロック駆動回路に分配すべき画素データを並列的に読出し、既に読出された画素データを格納する領域を書込み可能とするように前記メモリ手段の書込領域および読出領域を所定パターンで選択する制御回路を有することを特徴とするフラットパネル表示装置。

【請求項11】 複数の画素がマトリクス状に配列され各行の画素が1水平画素アレイを構成する表示パネル

3
と、各水平画素アレイの画素を分割して得られるM個の画素ブロックをそれぞれ駆動するM個のドライバ部と、1水平画素アレイ分の画素データを前記M個のドライバ部に分配する制御手段とを備え、前記制御手段は合計メモリ容量が1水平画素アレイ分の画素データ数に対応するメモリ容量よりも少ない複数のメモリ領域を有し、一領域への書込中に他の領域からの読出が可能なメモリ手段、並びに順次供給される画素データをこのメモリ手段に書き込み、この書込中に前記メモリ手段から前記M個のドライバ部に分配すべき画素データを並列的に読出し、既に読出された画素データを格納する領域を書込み可能とするように前記メモリ手段の書込領域および読出領域を所定パターンで選択する制御回路を有することを特徴とするフラットパネル表示装置。

【請求項12】 複数の画素がマトリクス状に配列され各行の画素が1水平画素アレイを構成する表示パネルと、各水平画素アレイの画素を連続する複数の画素ブロックに分割してそれぞれ駆動する複数のドライバ部と、これらドライバ部が順番に接続されるM個のデータ供給バスと、外部から順次供給される画素データを前記M個のデータ供給バスに分配する制御手段とを備え、前記制御手段は各々一領域への書込中に他領域からの読出しが可能であり、1ブロックの画素に対応する画素データを格納する複数のメモリ部を含み、これらメモリ部の合計メモリ容量が1水平画素アレイ分の画素データを全て格納するためのメモリ容量よりも少ないデータ分配回路を有するフラットパネル表示装置の駆動方法において、外部から順次供給される画素データを1画素ブロックの画素数に対応する数毎に画素データブロックとして区分する第1ステップと、M個の画素データブロックを前記M個のメモリ部に順次書込み、この書込中にこれらM個のメモリ部に格納されたM個の画素データブロックを並列的に読出す第2ステップと、これらM個の画素データブロックを前記M個のデータ供給バスのうちの対応するものにそれぞれ供給する第3ステップを備えることを特徴とするフラットパネル表示装置の駆動方法。

【請求項13】 前記複数のメモリ部の合計メモリ容量は1水平画素アレイ分の画素データを全て格納するためのメモリ容量の半分より少なく設定されることを特徴とする請求項12に記載のフラットパネル表示装置の駆動方法。

【請求項14】 前記M個のデータ供給バスは第1および第2データ供給バスで構成され、前記ドライバ部の数は2の整数倍に等しく設定されることを特徴とする請求項12に記載のフラットパネル表示装置の駆動方法。

【請求項15】 前記データ分配回路は、各々1画素ブロックの画素数に対応する数の画素データを格納することが可能なメモリ容量を持ち各画素データブロックを書込むために1つずつ選択され連続した2画素データブロックを並列的に読出すために2つずつ選択される第1、

第2、および第3メモリ部を含み、第2ステップは書込領域と読出領域とをオーバーラップさせずに各画素データブロックの全画素データを所定期間で前記第1、第2および第3メモリ部のうちの1つに書込みながらこの所定期間の2倍の期間で連続した2画素データを並列的に前記第1、第2、および第3メモリ部のうちの2つから読出すサブステップを有することを特徴とする請求項14に記載のフラットパネル表示装置の駆動方法。

【請求項16】 各画素データは複数の色成分の階調をそれぞれ表すカラー画素データであり、各ドライバ部は1カラー画素データに対応して前記色成分数に等しい数の画素を駆動するよう構成されることを特徴とする請求項15に記載のフラットパネル表示装置の駆動方法。

【請求項17】 前記データ分配回路は外部から順次供給される画素データを2つずつ2ワード画素データに変換する変換手段を有し、各メモリ部のそれぞれの領域はこの変換手段から順次供給される2ワード画素データを格納するために1画素データのビット数の2倍に設定されるワード長を持つことを特徴とする請求項15に記載のフラットパネル表示装置の駆動方法。

【請求項18】 前記データ分配回路は、各々1画素ブロックの画素数に対応する数よりも少なくとも1だけ多い数の画素データを格納することが可能なメモリ容量を持ち各画素データブロックを書込むために1つずつ選択され連続した2画素データブロックを並列的に読出すために2つとも選択される第1および第2メモリ部を含み、前記第2ステップは書込領域と読出領域とをオーバーラップさせずに各画素データブロックの全画素データを所定期間で第1および第2メモリ部のうちの1つに書込みながらこの所定期間の2倍の期間で連続した2画素データを並列的に第1および第2メモリ部から読出すサブステップを有することを特徴とする請求項14に記載のフラットパネル表示装置の駆動方法。

【請求項19】 各画素データは複数の色成分の階調をそれぞれ表すカラー画素データであり、各ドライバ部は1カラー画素データに対応して前記色成分数に等しい数の画素を駆動するよう構成されることを特徴とする請求項18に記載のフラットパネル表示装置の駆動方法。

【請求項20】 前記データ分配回路は外部から順次供給される画素データを2つずつ2ワード画素データに変換する変換手段を有し、各メモリ部のそれぞれの領域はこの変換手段から順次供給される2ワード画素データを格納するために1画素データのビット数の2倍に設定されるワード長を持つことを特徴とする請求項18に記載のフラットパネル表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、一般に複数の画素がマトリクス状に配列されたフラットパネル表示装置およびその駆動方法に関する。

【0002】

【従来の技術】近年、パーソナルコンピュータ、ワードプロセッサ、TV、ビデオプロジェクタ等の機器は一般に薄型、軽量、低消費電力という特徴を持ち液晶ディスプレイ(LCD)に代表されるフラットパネル表示装置を広く利用している。特にアクティブマトリクスLCDの研究開発は隣接画素間でクロストークのない良好な表示画像の得られることから盛んである。一般的なアクティブマトリクスLCDは、複数の画素がマトリクス状に配列され各行の画素が1水平画素アレイを構成する表示パネルと、各水平画素アレイの画素の光透過率をそれぞれ制御するために設けられる複数の信号線を駆動する信号線駆動回路とを備える。この信号線駆動回路は外部から順次供給される画素データを1水平走査期間毎にパラレル形式に変換し、これにより得られる1水平画素アレイ分の画素データをそれぞれアナログ電圧に変換し、これらアナログ電圧をそれぞれの信号線に供給する。

【0003】最近の傾向では、各水平画素アレイの画素数がアクティブマトリクスLCDの解像度を高めるために増大され、画素データのワード長が階調精度を高めるために増大される。この画素数およびワード長を増大するには、信号線駆動回路が画素データをより高速に処理する必要がある。信号線駆動回路の処理速度が限界まで高められてしまうと、1水平走査期間内に全信号線を駆動することが困難になる。

【0004】この問題の解決策としては、各水平画素アレイを分割したN(Nは2以上の整数)個の画素ブロックを駆動するブロック駆動技術がある。この駆動技術では、信号線駆動回路がこれら画素ブロックに割り当てられた信号線のグループをそれぞれ駆動するN個のドライバ部で構成され、2つのラインメモリがこれらドライバ部に振り分けられる1水平画素アレイ分の画素データを各々格納するために新規に設けられる。1水平画素アレイ分の画素データが各水平走査期間において一方のラインメモリに書込まれ、既に書込まれている1水平画素アレイ分の画素データが他方のラインメモリから読出される。この場合、それぞれの画素ブロックに対応するドライバ部はこれらに振り分けられる画素データを処理するために並列的に動作可能であるので、各ドライバ部の処理速度を全信号線数に等しい数の画素データを順次処理する場合の約 $1/N$ に低減できる。

【0005】

【発明が解決しようとする課題】しかし、ブロック駆動技術は2つのラインメモリを新規に必要とするという欠点を持つ。これらラインメモリの各々は1水平画素アレイ分の画素データを格納できるメモリ容量を持たなくてはならないため、このメモリ容量が上述の画素数およびワード長の増大に伴って増大する。さらに、これらラインメモリはメモリ容量の増大に際して高速なデータ転送に耐え得る性能を要求される。従って、ブロック駆動技

術を採用した場合、フラットパネル表示装置の製造コストが高くなるのを避けられなかった。

【0006】本発明の目的は、各水平画素アレイをブロック駆動するために必要なメモリ容量を小規模に維持できるフラットパネル表示装置およびその駆動方法を提供することにある。

【0007】

【課題を解決するための手段】本発明によれば、複数の画素がマトリクス状に配列され各行の画素が1水平画素アレイを構成する表示パネルと、各水平画素アレイの画素を連続する複数の画素ブロックに分割してそれぞれ駆動する複数のドライバ部と、各々これらドライバ部の少なくとも1つに接続されるM個のデータ供給バスと、外部から順次供給される画素データをM個のデータ供給バスに分配する制御ユニットとを備え、この制御ユニットは各々一領域への書込中に他領域からの読出しが可能であり、各々1画素ブロック分の画素データを格納する複数のメモリ部を含み、これらメモリ部の合計メモリ容量が1水平画素アレイ分の画素データを全て格納するためのメモリ容量よりも少ないデータ分配回路、並びに外部から順次供給される画素データを1画素ブロックの画素数に対応する数毎に画素データブロックとして区分し、M個の画素データブロックをM個のメモリ部に順次書込み、この書込中にこれらM個のメモリ部に格納されたM個の画素データブロックを並列的に読出し、これらM個の画素データブロックをM個のデータ供給バスのうちの対応するものにそれぞれ供給する制御を行なう制御回路とを有するフラットパネル表示装置が提供される。

【0008】本発明によれば、さらに複数の画素がマトリクス状に配列され各行の画素が1水平画素アレイを構成する表示パネルと、各水平画素アレイの画素を連続する複数の画素ブロックに分割してそれぞれ駆動する複数のドライバ部と、各々これらドライバ部の少なくとも1つに接続されるM個のデータ供給バスと、外部から順次供給される画素データをM個のデータ供給バスに分配する制御ユニットとを備え、この制御ユニットは各々一領域への書込中に他領域からの読出しが可能であり、各々1画素ブロック分の画素データを格納する複数のメモリ部を含み、これらメモリ部の合計メモリ容量が1水平画素アレイ分の画素データを全て格納するためのメモリ容量よりも少ないデータ分配回路を有するフラットパネル表示装置の駆動方法であって、外部から順次供給される画素データを1画素ブロックの画素数に対応する数毎に画素データブロックとして区分するステップと、M個の画素データブロックをM個のメモリ部に順次書込み、この書込中にこれらM個のメモリ部に格納されたM個の画素データブロックを並列的に読出すステップと、これらM個の画素データブロックをM個のデータ供給バスのうちの対応するものにそれぞれ供給するステップとを備えるフラットパネル表示装置の駆動方法が提供される。

7
【0009】上述のフラットパネル表示装置およびその駆動方法では、外部から順次供給される画素データが1画素ブロックの画素数に対応する数毎に画素データブロックとして区分され、M個の画素データブロックがM個のメモリ部に順次書込まれ、この書込中にこれらM個のメモリ部に格納されたM個の画素データブロックが並列的に読出され、これらM個の画素データブロックがM個のデータ供給バスのうちの対応するものにそれぞれ供給される。従って、複数のメモリ部の合計メモリ容量は1水平画素アレイ分の画素データをすべて格納するために必要なメモリ容量よりも少なくなる。さらに、このメモリ容量は1水平画素アレイ分の画素データ数および画素データのワード長に大きく依存しない。これは、メモリ容量を維持しながらこれらデータ数およびワード長を増大することを可能にする。この結果、フラットパネル表示装置の製造コストが水平画素アレイのブロック駆動のために上昇するのを防止できる。

【0010】

【発明の実施の形態】以下、本発明の第1実施例に係るフラットパネル表示装置を添付図面を参照して説明する。このフラットパネル表示装置はノーマリホワイトモードで動作する光透過型のアクティブマトリクスLCDとして製造される。

【0011】図1はこのフラットパネル表示装置の構成を概略的に示し、図2は図1に示す液晶パネルの断面構造を示す。フラットパネル表示装置はカラー表示が可能な液晶パネル3を備える。液晶パネル3には、対角14インチの表示領域2が設けられる。この液晶パネル3はアレイ基板101と、対向基板301と、光変調層としてアレイ基板101および対向基板103間に保持され液晶組成物から構成される液晶層401と、偏光軸が互いに直交するようにアレイ基板101および対向基板301の外側表面に貼り付けられる偏光板PL1およびPL2とにより構成される。液晶パネル3はアレイ基板101および対向基板301の外周部にシール剤を付加し、これらアレイ基板101および対向基板301を貼り合わせ、アレイ基板101および対向基板301間においてシール剤によって囲まれたギャップに液晶組成物を充填することにより形成される。

【0012】アレイ基板101はガラス基板SB1と、このガラス基板SB1上にマトリクス状に配列される600×2400個の画素電極151と、これら画素電極151の行に沿ってそれぞれ形成される600本の走査線113(Y1-Y600)と、これら画素電極151の列に沿ってそれぞれ形成される2400本の信号線103(X1-X2400)と、走査線113および信号線103の交差点近くにそれぞれスイッチング素子として形成される600×2400個の薄膜トランジスタ(TFT)121と、各々対応する行の画素電極151にオーバーラップする領域を有し走査線113にほぼ平

行に形成される600本の蓄積容量線161と、画素電極151のマトリクスアレイを全体的に覆う第1配向膜OR1とを有する。TFT121は非晶質シリコン薄膜を活性層として用いた逆スタガTFT構造を有する。画素電極151はIndium Tin Oxide (ITO) から成る透明導電膜である。蓄積容量線161と画素電極151とは蓄積容量CSを構成する。

【0013】対向基板301はガラス基板SB2と、画素電極151の周辺部をマスクするようガラス基板SB2上に形成されるマトリクス遮光膜SFと、このマトリクス遮光膜SFから露出したガラス基板SB2上に形成されるカラーフィルタFLと、画素電極151のマトリクスアレイに対向する対向電極311と、この対向電極311を全体的に覆う第2配向膜OR2とを有する。遮光膜SFはTFT121に入射する光、信号線103と画素電極151との間隙を通過する光、並びに走査線113と画素電極151との間隙を通過する光を遮光する。カラーフィルタFLは各々対応する色成分の光を透過する赤、緑、青のカラーストライプで構成され、これらカラーストライプが画素電極151の行方向に繰り返して並べられる。対向電極311は画素電極151と同様にITOから成る透明導電膜である。第1配向膜OR1および第2配向膜OR2は画素電極151および対向電極311間に電位差がないときに液晶分子をツイストネマチック(TN)配向させるために設けられる。各TFT121は走査線113のうちの1本に接続されるゲート、および信号線103のうちの1本と全画素電極151のうちの1個との間に接続されるソース・ドレインバスを有する。画素電極151と対向電極311とは液晶容量CLCを構成する。また、蓄積容量線161は対向電極311に接続される。上述の液晶パネル3の表示領域は各々800グループのRGB画素を含む600本の水平画素アレイで構成され、各グループのRGB画素は隣接する3個の画素電極151にそれぞれ対応する。また、表示装置の外形寸法を小さくするため、信号線103および走査線113はそれぞれ画素電極151の列および行方向において液晶パネル3の一端辺側のみ引き出されている。

【0014】(尚、上述の配向膜OR1およびOR2並びに偏光板PL1およびPL2は、透明樹脂と液晶材料とを混合した高分子分散型液晶を液晶組成物として用いる場合において不要である。)

このフラットパネル表示装置は、さらに信号線X1-X2400を駆動する信号線駆動回路12と、走査線Y1-Y600を駆動する走査線駆動回路14と、信号線駆動回路12および走査線駆動回路14を制御する液晶コントローラ16とを備える。信号線駆動回路12は信号線駆動回路基板5Aおよび配線フィルムXF上に駆動部XT1, XT2, ..., XT8を形成するテープキャリアパッケージ(TCP)を有する。走査線駆動回路14は

走査線駆動回路基板5Bおよび配線フィルムXF上に駆動部YT1, YT2, ..., YT8を形成するテープキャリアパッケージ(TCP)を有する。液晶コントローラ16はプログラマブルロジックアレイから構築され制御回路基板5C上に配置される。液晶コントローラ16は1水平走査期間あたり800個(=RGB画素のグループ数)の割合で外部から順次供給されるRGB画素データを受け取り、これらRGB画素データを様々な制御信号と共に信号線駆動回路12に供給する。各RGB画素データは赤、緑、青の色成分を表すR画素データ、G画素データ、およびB画素データの組み合わせにより構成される。R画素データ、G画素データ、およびB画素データの各々は64(=2⁶)階調で対応色成分を表示するために6ビットのワード長を有する。このため、RGB画素データのワード長はこれらを合計した18ビットとなる。様々な制御信号は1水平画素アレイ分のRGB画素データの供給に先行して発生されるスタートパルスST、この1水平画素アレイ分のRGB画素データの供給完了に続いて発生されるロードパルスLD、および2つのRGB画素データの供給毎に発生されるクロックパルスCKを含む。このクロックパルスCKの周波数は36MHzのシステムクロック周波数の半分の18MHzに設定される。液晶コントローラ16はさらに1024クロックの期間(=28μs)に等しい1水平走査期間毎に走査線Y1-Y600のうちの1本を選択するためにクロックパルスおよびスタートパルスを含む制御信号YSELを走査線駆動回路14に供給する。信号線駆動回路12は液晶コントローラ16から1水平走査期間毎に1水平画素アレイ分のRGB画素データを受け取り、各RGB画素データに含まれるR画素データ、G画素データ、およびB画素データをアナログ画素信号電圧に変換し、これらを信号線X1-X2400に並列的に供給する。走査線駆動回路14は液晶コントローラ16からの制御信号YSELに基づいて走査線Y1-Y600を順次選択し、走査パルスを選択走査線に供給する。各水平画素アレイに対応するTFT121は走査線Y1-Y600のうちの対応する1本を介して供給される走査パルスの立ち上がりに伴って導通し、信号線X1-X2400を介して並列的に供給される画素信号電圧をこの水平画素アレイの画素電極151にそれぞれ供給する。液晶容量CLCおよび蓄積容量CSはこうして供給される画素信号電圧によって充電される。これらTFT121は走査パルスの立ち下がりに伴って非導通となるが、各画素電極151および対向電極311間の電位差はこの後も液晶容量CLCおよび蓄積容量CSによって保持され、これらTFT121が1フレーム期間後に再び導通したときに更新される。

【0015】信号線駆動回路12のTCPは、画素電極151のマトリクスアレイを行方向において8ブロックに分割するよう配線フィルムXF上に直列に並べられ信

号線X1-X2400を300本ずつ駆動するドライバ部XT1, XT2, ..., XT8を構成する。信号線X1-X2400はそれぞれ異方性導電膜を介してこれらドライバ部XT1-XT8の出力端に接続される。これらドライバ部XT1-XT8の入力端は信号線駆動回路基板5A上に形成される配線部に半田接続され、この配線部はさらに制御回路基板5C上に形成される液晶コントローラ16に半田接続される。

【0016】また、走査線駆動回路14のTCPは画素電極151のマトリクスアレイを列方向において4ブロックに分割するよう配線フィルムYF上に直列に並べられ走査線Y1-Y600を150本ずつ駆動するドライバ部YT1, YT2, ..., YT4を構成する。走査線Y1-Y600はそれぞれ異方性導電膜を介してこれらドライバ部YT1-YT4の出力端に接続される。これらドライバ部YT1-YT4の入力端は走査線駆動回路基板5B上に形成される配線部に半田接続され、この配線部はさらに制御回路基板5C上に形成される液晶コントローラ16に半田接続される。ドライバ部YT1-YT4の基本的構造は従来と同様である。

【0017】信号線駆動回路12は、図3に示すように奇数ドライバ部XT1, XT3, ..., XT7のグループおよび偶数ドライバ部XT2, XT4, ..., XT8のグループがデータ供給バスSDL1およびSLD2を介して並列的にブロック駆動されるよう構成される。ドライバ部XT1-XT8の各々は100段のシフトレジスタ回路SR、選択回路SA、ラッチ回路LA1、ラッチ回路LA1、およびデジタル-アナログ変換器D/Aで構成される。

【0018】奇数ドライバ部XT1, XT3, ..., XT7のグループにおいて、全シフトレジスタ回路SRは直列に接続される。すなわち、ドライバ部XT1のシフトレジスタ回路SRの初段は液晶コントローラ16から供給されるスタートパルスSTを受け取るよう接続され、このシフトレジスタ回路SRの最終段はドライバ部XT3のシフトレジスタ回路SRの初段に接続され、このドライバ部XT3のシフトレジスタ回路SRの最終段はドライバ部XT5のシフトレジスタ回路SRの初段に接続され、このドライバ部XT5のシフトレジスタ回路SRの最終段はドライバ部XT7のシフトレジスタ回路SRの初段に接続される。ドライバ部XT1, XT3, ..., XT7のシフトレジスタ回路SRの各々は液晶コントローラ16から供給されるクロックパルスSTを受け取るよう接続される。ドライバ部XT1, XT3, ..., XT7の選択回路SAはデータ供給バスSDL1に共通に接続されると共にそれぞれドライバ部XT1, XT3, ..., XT7のラッチ回路LA1はドライバ部XT1, XT3, ..., XT7の選択回路SAにそれぞれ接続される。ドライバ部XT1, XT

3, ..., XT7のラッチ回路LA2は液晶コントローラ16から供給されるロードパルスLDを受け取るよう接続されると共に、ドライバ部XT1, XT3, ..., XT7のラッチ回路LA1に接続される。ドライバ部XT1, XT3, ..., XT7のデジタル-アナログ変換器D/Aはドライバ部XT1, XT3, ..., XT7のラッチ回路LA2に接続されると共に、信号線X1-X300、信号線X601-X900、信号線X1201-X1500、信号線X1801-X2100にそれぞれ接続される。各シフトレジスタ回路SRはクロックパルスCKにตอบสนองしてスタートパルスSTを順次後段にシフトする。各選択回路SAは対応シフトレジスタ回路SRの各段からのスタートパルスSTにตอบสนองしてデータ供給バスSDL1から18ビットのRGB画素データSDを抽出し、このRGB画素データに含まれる6ビットのR画素データ、6ビットのG画素データ、および6ビットのB画素データを対応ラッチ回路LA1に供給する。各ラッチ回路LA2はロードパルスLDにตอบสนองしてラッチ回路LA1からの300画素分の画素データをラッチし、これらに対応デジタル-アナログ変換器D/Aに供給する。各デジタル-アナログ変換器D/Aはこれら300画素分の画素データをそれぞれ画素信号電圧に変換し、対応する300本の信号線に供給する。

【0019】偶数ドライバ部XT2, XT4, ..., XT8のグループにおいて、全シフトレジスタ回路SRは直列に接続される。すなわち、ドライバ部XT2のシフトレジスタ回路SRの初段は液晶コントローラ16から供給されるスタートパルスSTを受け取るよう接続され、このシフトレジスタ回路SRの最終段はドライバ部XT4のシフトレジスタ回路SRの初段に接続され、このドライバ部XT4のシフトレジスタ回路SRの最終段はドライバ部XT6のシフトレジスタ回路SRの初段に接続され、このドライバ部XT6のシフトレジスタ回路SRの最終段はドライバ部XT8のシフトレジスタ回路SRの初段に接続される。さらにドライバ部XT2, XT4, ..., XT8のシフトレジスタ回路SRの各々は液晶コントローラ16から供給されるクロックパルスCKを受け取るよう接続される。ドライバ部XT2, XT4, ..., XT8の選択回路SAはデータ供給バスSDL2に共通に接続されると共にそれぞれドライバ部XT2, XT4, ..., XT8のシフトレジスタ回路SRに接続される。ドライバ部XT2, XT4, ..., XT8のラッチ回路LA1はドライバ部XT2, XT4, ..., XT8の選択回路SAにそれぞれ接続される。ドライバ部XT2, XT4, ..., XT8のラッチ回路LA2は液晶コントローラ16から供給されるロードパルスLDを受け取るよう接続されると共に、ドライバ部XT2, XT4, ..., XT8のラッチ回路LA1に接続される。ドライバ部XT2, XT4, ..., XT8のデジタル-アナログ変換器D/Aはドライバ部XT2, XT4, ..., XT8のラッ

チ回路LA2に接続されると共に、信号線X301-X600、信号線X901-X1200、信号線X1501-X1800、信号線X2101-X2400にそれぞれ接続される。各シフトレジスタ回路SRはクロックパルスCKにตอบสนองしてスタートパルスSTを順次後段にシフトする。各選択回路SAは対応シフトレジスタ回路SRの各段からのスタートパルスSTにตอบสนองしてデータ供給バスSDL2から18ビットのRGB画素データSDを抽出し、このRGB画素データに含まれる6ビットのR画素データ、6ビットのG画素データ、および6ビットのB画素データを対応ラッチ回路LA1に供給する。各ラッチ回路LA2はロードパルスLDにตอบสนองしてラッチ回路LA1からの300画素分の画素データをラッチし、これらに対応デジタル-アナログ変換器D/Aに供給する。各デジタル-アナログ変換器D/Aはこれら300画素分の画素データをそれぞれ画素信号電圧に変換し、対応する300本の信号線に供給する。

【0020】図4に示すように、液晶コントローラ16は外部から順次供給されるRGB画素データSDをデータ供給バスSDL1およびSDL2に振り分けるデータ分配回路DSTと、このデータ分配回路DSTの動作を制御すると共に、走査線駆動回路14に供給される制御信号YSELおよび信号線駆動回路12に供給されるスタートパルスST、クロックパルスCK、およびロードパルスLD等の制御信号を発生するシーケンスコントローラSCとを有する。

【0021】データ分配回路DSTはセクタWS、メモリM1, M2, およびM3、並びにセクタRSを有する。セクタWSはメモリM1, M2, およびM3のうちの1つを選択し、これに外部から順次供給されるRGB画素データSDを供給する。メモリM1-M3の各々は100個の18ビットメモリ領域を持ち一メモリ領域への書込中に他の一メモリ領域からの読出しが可能な2ポートRAMとして形成される。上述のメモリ容量はドライバ部XT1-XT8のうちの1個によって処理されることになる全RGB画素データSDを格納できるように選定されている。メモリM1, M2, およびM3の各々はセクタWSから順次供給される100個のRGB画素データSDを1ブロックとして格納する。セクタRSはメモリM1, M2, およびM3のうちの2つから並列的に読出される2ブロックのRGB画素データSDをデータ供給バスSDL1およびSDL2に振り分ける。

【0022】上述のセクタWS、メモリM1-M3、およびセクタRSの動作を制御するため、シーケンスコントローラSCは書込制御信号WM1, WM2, およびWM3、書込アドレス信号WADRS、読出制御信号RM1, RM2, およびRM3、読出アドレス信号RADRS、および制御信号S1およびS2を発生する。書込制御信号WM1, WM2, およびWM3はセクタW

Sに共通に供給されると共にメモリM1, M2, およびM3にそれぞれ供給される。書込アドレス信号WADRSおよび読出アドレス信号RADRSはメモリM1, M2, およびM3に共通に供給される。読出制御信号RM1, RM2, およびRM3はメモリM1, M2, およびM3にそれぞれ供給される。制御信号S1およびS2はセクタRSに共通に供給される。

【0023】シーケンスコントローラSCはメモリM1, M2, およびM3を1つずつ書込動作させるために書込制御信号をWM1, WM2, WM3, WM1, WM2, WM3…という順序で発生する。これにより、セクタWSはメモリM1, M2, およびM3を順番に選択し、選択メモリに外部から順次供給されるRGB画素データSDを供給する。書込制御信号WM1, WM2, およびWM3は100個のRGB画素データSDの供給毎に切り換えられる。選択メモリはセクタWSから順次供給されるRGB画素データSDを書込アドレス信号WADRSによって指定される書込メモリ領域に格納する。書込アドレス信号WADRSはRGB画素データSDの供給レートに対応するサイクルで更新され、100個のRGB画素データSDが第1番目から第100番目までのメモリ領域にそれぞれ書込まれる。さらにシーケンスコントローラSCはこうして書込動作が行われる一方でメモリM1, M2, およびM3を2つずつ読出動作させるために読出制御信号をRM1およびRM2, RM3およびRM1, RM2およびRM3, RM1およびRM2, RM3およびRM1, RM2およびRM3…という順序で発生する。これら2メモリの各々は読出アドレス信号RADRSによって指定される読出メモリ領域からRGB画素データSDを讀出し、これをセクタRSに供給する。読出アドレス信号RADRSはRGB画素データSDの供給レートの約半分に対応するサイクルで更新され、100個のRGB画素データSDが第1番目から第100番目までのメモリ領域から順次読出される。セクタRSは制御信号S1およびS2の制御によりメモリM1-M3のうちの2つから並列的に読出される2ブロックのRGB画素データSDをこれらが供給されるべき奇数ドライバ部および偶数ドライバ部に対応するデータ供給バスSDL1およびSDL2に振り分ける。これにより、各水平画素アレイ分のRGB画素データSDは8ブロックに区分され、4奇数ブロックがデータ供給バスSDL1を介してそれぞれドライバ部XT1, XT3, XT5, およびXT7に供給され、4偶数ブロックがデータ供給バスSDL2を介してそれぞれドライバ部XT2, XT4, XT6, およびXT8に供給される。

【0024】図5は上述のように構成されるフラットパネル表示装置の動作を示す。各水平走査期間はデータ供給期間(=28×800/1024μs)とブランキング期間(=28×224/1024μs)とで構成さ

れ、1水平画素アレイを構成する画素数に相当する800個の18ビットRGB画素データがこのデータ供給期間に順次外部から液晶コントローラ16に供給される。これら800個のRGB画素データSDはセクタWSにより100個ずつ区分され、ドライバ部XT1, XT2, …, XT8にそれぞれ割り当てられる8個のRGB画素データブロックDB1-DB8となる。メモリM1, M2およびM3はこれらRGB画素データブロックDB1-DB8を順次格納する。RGB画素データブロックDB1-DB8の各々はデータ供給期間の1/8、すなわち28×100/1024μsに等しい1ブロック期間(=t)においてメモリM1, M2およびM3の1つに書込まれる。すなわち、RGB画素データブロックDB1-DB3は例えばメモリM1, M2, およびM3に順次書込まれる。これらメモリM1, M2, およびM3は、後続のRGB画素データブロックDB4-DB8を順次格納するために繰り返し用いられる。

【0025】メモリM1-M3からの読出しはメモリM1-M3への書込みが上述のように行われる一方で行われる。この読出では、RGB画素データブロックDB1-DB8のうちの連続する2つが2ブロック期間(=2t)において並列的に読出される。すなわち、RGB画素データブロックDB1およびDB2が最初の2ブロック期間(=2t)においてメモリM1およびM2から並列的に読出され、RGB画素データブロックDB3およびDB4が次の2ブロック期間(=2t)においてメモリM3およびM1から並列的に読出され、RGB画素データブロックDB5およびDB6が次の2ブロック期間(=2t)においてメモリM2およびM3から並列的に読出され、RGB画素データブロックDB7およびDB8が次の2ブロック読出期間(=2t)においてメモリM1およびM2から並列的に読出される。

【0026】このように並列的に読出されたRGB画素データブロックDB1およびDB2, DB3およびDB4, DB5およびDB6, 並びにDB7およびDB8はリードセクタRSを介してデータ供給バスSDL1およびSDL2に振り分けられる。すなわち、奇数RGB画素データブロックDB1, DB3, …, DB7は奇数ドライバ部XT1, XT3, …, XT7に接続されるデータ供給バスSDL1に供給され、偶数RGB画素データブロックDB2, DB4, …, DB8は偶数ドライバ部XT2, XT4, …, XT8に接続されるデータ供給バスSDL2に供給される。

【0027】ところで、メモリM1-M3の各々は100ワード×18ビットのメモリ容量しか持たないため、1ブロック分を越えるRGB画素データを格納できない。このため、このシーケンスコントローラSCは2RGB画素データブロックの連続的な書込終了前にこれら2RGB画素データブロックの並列的な読出を開始し、これら2RGB画素データブロックの並列的な読出終了

前に後続の2 RGB画素データブロックの連続的な書込みを開始し、各 RGB画素データの書込みが読出しに追い越されないようにデータ分配回路 DST を制御する。

【0028】例えばメモリ M1 に関し、RGB画素データブロック DB1 は1ブロック期間 (= t) わたって書込まれた後、 Δt の期間だけ遅れて2ブロック期間 (= 2 t) にわたって読出される。すなわち、RGB画素データブロック DB4 の書込みは、RGB画素データブロック DB1 の読出終了よりも Δt の期間だけ早く開始される。しかしながら、メモリ M1 は、RGB画素データブロック DB4 の書込開始時点で、RGB画素データブロック DB1 の読出しは既に開始されているため、ブロック DB4 の RGB画素データはブロック DB1 の RGB画素データが既に読出されたメモリ領域に順次書込まれる。従って、メモリ M1 は与えられたメモリ容量の範囲で RGB画素データブロック DB4 をも格納することができる。ちなみに、RGB画素データブロック DB4 も書込終了後 Δt の期間だけ遅れて読出される。この Δt は1クロックの期間 (= 27.7 ns) から99クロックの期間 (= 2.75 μ s) までの任意の期間、例えば160 ns に設定されるため、各 RGB画素データの書込みが読出しに追い越されることがない。

【0029】従って、メモリ M1-M3 のメモリ容量が各々100ワード×18ビットであっても、1水平画素アレイ分の RGB画素データをドライバ部 XT1-XT8 で処理される100個ずつのブロックでこれらメモリ M1-M3 のうちの1つにデータ供給レートで書込み、連続する2ブロックずつメモリ M1-M3 のうちの2つからデータ供給レートの半分のレートで並列的に読出しデータ供給バス SDL1 および SDL2 に分配することができる。すなわち、奇数 RGB画素データブロック DB1, DB3, ..., DB7 および偶数 RGB画素データブロック DB2, DB4, ..., DB8 はそれぞれ奇数ドライバ部 XT1, XT3, ..., XT7 に接続されたデータ供給バス SDL1 および偶数ドライバ部 XT2, XT4, ..., XT8 に接続されたデータ供給バス SDL2 に供給される。これにより、RGB画素データブロック DB1 および DB2 がドライバ部 XT1 および XT2 によって並列的に処理され、RGB画素データブロック DB3 および DB4 がドライバ部 XT3 および XT4 によって並列的に処理され、RGB画素データブロック DB5 および DB6 がドライバ部 XT5 および XT6 によって並列的に処理され、RGB画素データブロック DB7 および DB8 がドライバ部 XT7 および XT8 によって並列的に処理される。

【0030】例えばドライバ部 XT1 および XT2 は RGB画素データブロック DB1 および DB2 が並列的にデータ供給バス SDL1 および SDL2 に供給される間において次の処理を行なう。

【0031】ドライバ部 XT1 では、シフトレジスタ回

路 SR の第1から第100段がクロックパルス CK に応答してスタートパルス ST を交代で格納する。選択回路 SA はスタートパルス ST を格納した段からの信号に応答し、順次データ供給バス SDL1 に RGB画素データブロック DB1 として供給される100個の RGB画素データのうちの対応する1個を選択し、この RGB画素データに含まれる3画素データ (すなわち、各々6ビットで構成される R画素データ、G画素データ、B画素データ) をラッチ回路 LA1 に同時に供給する。ラッチ回路 LA1 は100個の RGB画素データに対応して選択回路 SA から順次供給される画素データをそれぞれラッチし、これらをラッチ回路 LA2 に供給する。ラッチ回路 LA2 はロードパルス LD に応答してラッチ回路 LA1 からの全画素データを一度にラッチし、デジタルアナログ変換器 D/A に供給する。デジタルアナログ変換器 D/A はこれら画素データをそれぞれ画素信号電圧に変換して信号線 X1-X300 に供給する。

【0032】ドライバ部 XT2 では、シフトレジスタ回路 SR の第1から第100段がクロックパルス CK に応答してスタートパルス ST を交代で格納する。選択回路 SA はスタートパルス ST を格納した段からの信号に応答し、順次データ供給バス SDL2 に RGB画素データブロック DB2 として供給される100個の RGB画素データのうちの対応する1個を選択し、この RGB画素データを3画素分の画素データ (各々6ビットの R画素データ、G画素データ、B画素データ) をラッチ回路 LA1 に同時に供給する。ラッチ回路 LA1 は100個の RGB画素データに対応して選択回路 SA から順次供給される画素データをそれぞれラッチし、これらをラッチ回路 LA2 に供給する。ラッチ回路 LA2 はロードパルス LD に応答してラッチ回路 LA1 からの全画素データを一度にラッチし、デジタルアナログ変換器 D/A に供給する。デジタルアナログ変換器 D/A はこれら画素データをそれぞれ画素信号電圧に変換し信号線 X301-X600 に供給する。

【0033】他のドライバ部 XT3 および XT4、XT5 および XT6、並びに XT7 および XT8 も上述と同様に並列的に動作する。クロックパルス CK は奇数ドライバ部 XT1, XT3, ..., XT7 と偶数ドライバ部 XT2, XT4, ..., XT8 とがこのように並列的に動作するため、これらが並列的に動作しない場合の1/2の周波数で発生される。従って、ドライバ部 XT1-XT8 の動作速度はこのクロックパルス CK の周波数に対応して低減される。

【0034】以上のように、本実施例のフラットパネル液晶表示装置によれば、1水平画素アレイ分の RGB画素データが14kビット (2400×6ビット) の情報量であるにもかかわらず、5.4kビット (3×100×18ビット) といった非常に小さいメモリ M1-M3 の合計メモリ容量でドライバ部 XT1-XT8 の動作速

度を半分に低減するブロック駆動が可能となる。このため、安価な小規模プログラマブルロジックアレイで液晶コントローラ 16 を構成することができ、表示装置の製造コストを低減できる。さらに、クロックパルス CK の周波数が $1/2$ に低減されるため、低速タイプのシフトレジスタ回路 SR をドライバ部 XT1-X T 8 の各々において用いることができる。これは、表示装置の消費電力を低減するために有効である。

【0035】尚、上述の実施例では、1 水平画素アレイ分の RGB 画素データ SD がドライバ部数に対応して 8 10 ブロックに区分されるが、例えば 10 個のドライバ部が設けられる場合には、1 水平画素アレイ分の RGB 画素データ SD が 10 ブロックに区分される。これにより、メモリ M1-メモリ M3 の各々に設けられる 18 ビットメモリ領域の数を 80 個に低減できる。また、ドライバ部数はデータ供給バス数の p (p は 2 以上の正の整数) 倍に設定されることが望ましい。) また、上述の実施例では、3 個のメモリ M1-M3 が奇数ドライバ部と偶数ドライバ部とを並列的に駆動するために設けられた。しかし、これらドライバ部を 3 以上の 20 グループまたはブロックに分割して並列的に駆動してもよい。この場合、メモリ M1-M3 もこれらグループ数に対応して増大しなくてはならないが、クロックパルス CK の周波数は $1/\text{グループ数}$ に低減できる。従って、シフトレジスタ回路 SR の動作速度を一層低減できる。例えば 1 水平画素アレイが 3072 個の画素電極を含む場合、各々 192 本の信号線を駆動する 16 個のドライバ部を設け、これらを 4 データ供給バスにより 4 グループに分割することが考えられる。この場合、各々 64 個の 18 ビットメモリ領域を持つ 7 個のメモリを用い、 30 1 水平画素アレイ分の RGB 画素データを対応する 16 ブロックに区分して 4 ブロック毎にこれら 4 データ供給バスに分配すればよい。これはドライバ部およびメモリ数を増大させるが、16 個のドライバ部が 4 グループに分割されない場合の $1/4$ にクロックパルス CK の周波数を低減できるため、シフトレジスタ回路 SR の動作速度および消費電力をこれに対応して低減させることができる。

【0036】本実施例では、ドライバ部 XT-X T 8 が集積回路としてそれぞれフレキシブルな配線フィルム X 40 F 上に固定される。しかし、この集積回路は異方性導電膜等を用いて液晶パネル 3 のアレイ基板 101 上に固定され、アレイ基板 101 上でデータ供給バス S D L 1 および S D L 2 に接続されてもよい。この場合、信号線駆動回路基板 5 A が不要となるため、表示領域 2 の外側部分の寸法を低減できる。また、信号線駆動回路 12 が液晶パネル 3 の製造工程で多結晶シリコン等を用いて信号線 103 に接続されるようにアレイ基板 101 上に形成されれば、液晶パネル 3 の製造後に信号線 103 と信号線駆動回路 12 とを接続する面倒な作業を省略できる。 50

【0037】図 6 は図 4 に示す液晶コントローラの変形例を示す。この変形例では、セレクトア EO、奇数メモリ OM、および偶数メモリ EM がデータ分配回路 D S T にさらに設けられる。セレクトア EO はシーケンスコントローラ SC から供給される制御信号 P S の制御によって制御され、外部から順次供給される RGB 画素データを交互に奇数メモリ OM および偶数メモリ EM に供給する。奇数メモリ OM および偶数メモリ EM は各々 1 RGB 画素データを格納する 18 ビットメモリであり、セレクトア EO からそれぞれ供給される RGB 画素データを格納し、セレクトア WS に供給する。セレクトア WS は奇数メモリ OM および偶数メモリ EM からそれぞれ供給される 2 ワードの RGB 画素データをメモリ M1-M3 のうちの 1 つに供給する。メモリ M1-M3 の各々は図 4 に示すものと同一メモリ容量となる 50 個の 36 ビットメモリ領域を有し、セレクトア WS から順次供給される 50 個の 2 ワード RGB 画素データを 1 ブロックとして格納する。セレクトア RS はメモリ M1, M2, および M3 のうちの 2 つから並列的に読出される 2 ブロックの 2 ワード RGB 画素データをデータ供給バス S D L 1 および S D L 2 に振り分ける。

【0038】この場合、データ供給バス S D L 1 および S D L 2 のビット数が 32 ビットに設定され、シフトレジスタ回路 SR の段数がドライバ部 XT1-X T 8 の各々において 50 に設定され、クロックパルス CK の周波数が上述の実施例の $1/2$ に設定される。従って、選択回路 SA はスタートパルス ST を格納した段からの信号に応答し、RGB 画素データブロック DB1 として順次データ供給バス S D L 1 に供給される 50 個の 2 ワード RGB 画素データのうちの対応する 1 個を選択し、この RGB 画素データを 6 画素分の画素データ (各々 6 ビットの第 1 R 画素データ、第 1 G 画素データ、第 1 B 画素データ、第 2 R 画素データ、第 2 G 画素データ、および第 2 B 画素データ) に分割してラッチ回路 L A1 に同時に供給する。

【0039】この変形例によれば、データ分配回路 D S T において合計メモリ容量が 32 ビット増大するが、データ供給バス S D L 1 および S D L 2 のビット数が 2 倍になるため、シフトレジスタ回路 SR の段数がドライバ部 XT1-X T 8 の各々において半分となる。従って、シフトレジスタ回路 SR の動作速度および消費電力をさらに低減できる。

【0040】次に本発明の第 2 実施例に係るフラットパネル表示装置を説明する。この表示装置は図 3 に示す信号線駆動回路 12 および図 4 に示す液晶コントローラ 16 を除いて第 1 実施例と同様に構成される。信号線駆動回路 12 については、上述の変形例の構成と同様である。図 7 は第 2 実施例に係るフラットパネル表示装置の液晶コントローラ 16 を示す。この液晶コントローラ 16 は第 1 実施例と同様に外部から順次供給される RGB

画素データSDをデータ供給バスSDL1およびSDL2に振り分けるデータ分配回路DSTと、このデータ分配回路DSTの動作を制御すると共に、走査線駆動回路14に供給される制御信号YSELおよび信号線駆動回路12に供給されるスタートパルスST、クロックパルスCK、およびロードパルスLD等の制御信号を発生するシーケンスコントローラSCとを有する。

【0041】データ分配回路DSTはセクタEO、奇数メモリOM、偶数メモリEM、セクタWS、メモリM1およびM2、並びにセクタRSを有する。セクタEOは外部から順次供給されるRGB画素データを交互に奇数メモリOMおよび偶数メモリEMに供給する。奇数メモリOMおよび偶数メモリEMは各々1RGB画素データを格納する18ビットメモリであり、セクタEOからそれぞれ供給されるRGB画素データを格納し、セクタWSに供給する。セクタWSは奇数メモリOMおよび偶数メモリEMからそれぞれ供給される2ワードのRGB画素データをメモリM1およびM2のうちの1つに供給する。メモリM1およびM2の各々は図6に示す50個の36ビットメモリ領域にさらに1個の36ビットメモリ領域を加えたメモリ容量を有し、セクタWSから順次供給される50個の2ワードRGB画素データを1ブロックとして格納する。セクタRSはメモリM1およびM2から並列的に読出される2ブロックの2ワードRGB画素データSDをデータ供給バスSDL1およびSDL2に振り分ける。

【0042】上述のセクタEO、セクタWS、メモリM1およびM2、並びにセクタRSの動作を制御するため、シーケンスコントローラSCは制御信号PS、書込制御信号WM1およびWM2、書込アドレス信号WADRS、読出制御信号RM1およびRM2、読出アドレス信号RADRS1およびRADRS2、並びに制御信号S1およびS2を発生する。制御信号PSはセクタEOに供給される。書込制御信号WM1およびWM2はセクタWSに共通に供給されると共にメモリM1およびM2にそれぞれ供給される。書込アドレス信号WADRSはメモリM1およびM2に共通に供給され、読出アドレス信号RADRS1およびRADRS2はメモリM1およびM2にそれぞれ供給される。読出制御信号RM1およびRM2はメモリM1およびM2にそれぞれ供給される。制御信号S1およびS2はセクタRSに共通に供給される。

【0043】シーケンスコントローラSCはメモリM1およびM2を1つずつ書込動作させるために書込制御信号をWM1, WM2, WM2, WM1, WM1, WM2...という順序で発生する。セクタWSはメモリM1およびM2の一方を上述の書込制御信号に基づいて選択し、選択メモリに奇数メモリOMおよび偶数メモリEMから順次供給される2ワードRGB画素データSDを供給する。書込制御信号WM1およびWM2は50個の2

ワードRGB画素データSDの供給毎に更新される。選択メモリはセクタWSから順次供給される2ワードRGB画素データSDを書込アドレス信号WADRSによって指定される書込メモリ領域に格納する。書込アドレス信号WADRSは2ワードRGB画素データSDの供給レートに対応するサイクルで更新され、50個のRGB画素データSDが第1番目から第50番目までのメモリ領域または第2番目から第51番目までのメモリ領域にそれぞれ書込まれる。これら書込メモリ領域の範囲は交互に用いられる。さらにシーケンスコントローラSCはこうして書込動作が行われる一方でメモリM1およびM2を読出動作させるために読出制御信号RM1およびRM2を発生する。これら2メモリの各々是对読出アドレス信号RADRS1またはRADRS2によって指定される読出メモリ領域から2ワードRGB画素データSDを読出し、これをセクタRSに供給する。読出アドレス信号RADRS1およびRADRS2はセクタWSからの2ワードRGB画素データSDの供給レートの約半分に相当するサイクルで更新され、メモリM1およびM2の一方の第1番目から第50番目までのメモリ領域に書込まれた50個の2ワードRGB画素データSDおよびメモリM1およびM2の他方の第2番目から第51番目までのメモリ領域に書込まれた50個の2ワードRGB画素データSDを順次読出させる。セクタRSは制御信号S1およびS2の制御によりメモリM1およびM2から並列的に読出される2ブロックのRGB画素データSDをこれらが供給されるべき奇数ドライバ部および偶数ドライバ部に対応するデータ供給バスSDL1およびSDL2に振り分ける。これにより、各水平画素アレイ分の2ワードRGB画素データSDは8ブロックに区分され、4奇数ブロックがデータ供給バスSDL1を介してそれぞれドライバ部XT1, XT3, XT8, およびXT7に供給され、4偶数ブロックがデータ供給バスSDL2を介してそれぞれドライバ部XT2, XT4, XT6, およびXT8に供給される。

【0044】図8は上述のように構成されるフラットパネル表示装置の動作を示す。ここでは、この動作の理解を容易にするため1水平画素アレイが80個の画素で構成され、ドライバ部XT1, XT2, ..., XT8が各々10本の信号線を駆動すると仮定する。この場合、メモリM1およびM2の各々は5個の36ビットメモリ領域に加えて1個の36ビットメモリ領域を持たなくてはならない。

【0045】1水平画素アレイを構成する画素数に相当する80個のRGB画素データSDが順次外部から液晶コントローラ16に供給されると、これら80個のRGB画素データSDはセクタEOによって交互に奇数メモリOMおよび偶数メモリEMに供給される。奇数メモリOMおよび偶数メモリEMはセクタEOから供給されるRGB画素データSDを格納し、セクタWSに供

21

給する。セレクトWSは奇数メモリOMおよび偶数メモリEMから順次供給される2ワードのRGB画素データを5個ずつ区分し、ドライバ部XT1, XT2, ..., XT8にそれぞれ割り当てられる8個のRGB画素データブロックDB1-DB8とする。メモリM1およびメモリM2はこれらRGB画素データブロックDB1-DB8を選択的に格納する。RGB画素データブロックDB1-DB8の各々はデータ供給期間の1/8に等しい1ブロック期間(=t)においてメモリM1およびM2の1つに書込まれる。

【0046】すなわち、RGB画素データブロックDB1, DB2, DB3, DB4, DB5, DB6, DB7, およびDB8はメモリM1, M2, M2, M1, M1, M2, M2, およびM1にそれぞれ書込まれる。奇数RGB画素データブロックDB1, DB3, DB5, およびDB7はそれぞれメモリM1, M2, M1, およびM2においてアドレス0-4までのメモリ領域に格納され、偶数RGB画素データブロックDB2, DB4, DB6, およびDB8はメモリM2, M1, M2, およびM1においてアドレス1-5までのメモリ領域に格納される。

【0047】メモリM1およびM2からの読出しはメモリM1およびM2への書込みが上述のように行われる一方で行われる。この読出では、RGB画素データブロックDB1-DB8のうちの連続する2つが2ブロック期間(=2t)において並列的に読出される。すなわち、RGB画素データブロックDB1およびDB2が最初の2ブロック期間(=2t)においてメモリM1およびM2から並列的に読出され、RGB画素データブロックDB3およびDB4が次の2ブロック期間(=2t)においてメモリM2およびM1から並列的に読出され、RGB画素データブロックDB5およびDB6が次の2ブロック期間(=2t)においてメモリM1およびM2から並列的に読出され、RGB画素データブロックDB7およびDB8が次の2ブロック読出期間(=2t)においてメモリM2およびM1から並列的に読出される。

【0048】このように並列的に読出されたRGB画素データブロックDB1およびDB2, DB3およびDB4, DB5およびDB6, 並びにDB7およびDB8はリードセクタRSを介してデータ供給バスSDL1およびSDL2に振り分けられる。すなわち、奇数RGB画素データブロックDB1, DB3, ..., DB7奇数ドライバ部XT1, ..., XT7に接続されるデータ供給バスSDL1に供給され、偶数RGB画素データブロックDB2, DB4, ..., DB8は偶数ドライバ部XT2, ..., XT8に接続されるデータ供給バスSDL2に供給される。

【0049】ところで、このシーケンスコントローラSCは2RGB画素データブロックの連続的な書込終了前にこれら2RGB画素データブロックの並列的な読出を

22

開始し、これら2RGB画素データブロックの並列的な読出終了後に後続の2RGB画素データブロックの連続的な書込みを開始し、各RGB画素データの書込みが読出しに追い越されないようにデータ分配回路DSTを制御する。さらに、メモリM1およびM2の各々は2ワードRGB画素データ分だけ余分にメモリ領域を有するため、読出アドレスと書込アドレスとがオーバーラップすることが避けられる。

【0050】例えばRGB画素データブロックDB1は第1ブロック期間においてメモリM1に書込まれ、RGB画素データブロックDB2は第2ブロック期間においてメモリM2に書込まれる。これらRGB画素データブロックDB1およびDB2はメモリM1およびM2から第2および第3ブロック期間において並列的に読出される。メモリM2は第2ブロック期間においてRGB画素データブロックDB2を書込むと共にこれを読出すために用いられる。しかし、読出開始は1個の2ワードRGB画素データを格納するために要する期間に対応するΔtの期間だけ遅らされる。このため、ブロックDB2に含まれる第1の2ワードRGB画素データをアドレス1に書込んだ後、この2ワードRGB画素データを読出すことができる。

【0051】また、メモリM2は第3ブロック期間においてRGB画素データブロックDB2を読出し、RGB画素データブロックDB3を書込みために用いられる。しかし、RGB画素データブロックDB2を格納するメモリ領域の範囲とRGB画素データブロックDB3を格納するメモリ領域の範囲とが1メモリ領域分ずれているため、ブロックDB2に含まれる最終の2ワードRGB画素データをアドレス5のメモリ領域から読出し、ブロックDB3に含まれる最終の2ワードRGB画素データはアドレス4のメモリ領域に書込むことができる。

【0052】実際の表示装置では、1水平画素アレイが2400個の画素で構成され、ドライバ部XT1, XT2, ..., XT8が各々300本の信号線を駆動する。このため、メモリM1およびM2は各々50個の36ビットメモリ領域にさらに1個の36ビットメモリ領域を持つ。しかし、この表示装置の動作は基本的に同様である。

【0053】従って、メモリM1およびM2のメモリ容量が各々50ワード×36ビットであっても、1水平画素アレイ分の2ワードRGB画素データをドライバ部XT1-XT8で処理される50個ずつのブロックでこれらメモリM1およびM2のうちの1つにデータ供給レートで書込み、連続する2ブロックずつメモリM1およびM2のうちの2つからデータ供給レートの半分のレートで並列的に読出しデータ供給バスSDL1およびSDL2に分配することができる。すなわち、奇数RGB画素データブロックDB1, DB3, ..., DB7および偶数RGB画素データブロックDB2, DB4, ..., DB8

はそれぞれ奇数ドライバ部XT1, XT3, ..., XT7に接続されたデータ供給バスSDL1および偶数ドライバ部XT2, XT4, ..., XT8に接続されたデータ供給バスSDL2に供給される。これにより、RGB画素データブロックDB1およびDB2がドライバ部XT1およびXT2によって並列的に処理され、RGB画素データブロックDB3およびDB4がドライバ部XT3およびXT4によって並列的に処理され、RGB画素データブロックDB5およびDB6がドライバ部XT5およびXT6によって並列的に処理され、RGB画素データブロックDB7およびDB8がドライバ部XT7およびXT8によって並列的に処理される。

【0054】第2実施例では、外部から順次供給されるRGB画素データが1画素ブロックの画素数に対応する数毎に画素データブロックとして区分され、2画素データブロックがメモリM1およびM2に順次書込まれ、この書込中にこれらメモリM1およびM2に格納された2画素データブロックが並列的に読出され、これら2画素データブロックがデータ供給バスSDL1およびSDL2のうちの対応するものにそれぞれ供給される。従って、メモリM1およびM2の合計メモリ容量は1水平画素アレイ分の画素データをすべて格納するために必要なメモリ容量の1/2よりも十分少なくなる。さらに、このメモリ容量は1水平画素アレイ分の画素データ数および画素データのワード長に大きく依存しない。これは、メモリ容量を維持しながらこれらデータ数およびワード長を増大することを可能にする。この結果、フラットパネル表示装置の製造コストが水平画素アレイのブロック駆動のために上昇するのを防止できる。

【0055】特にこの実施例によれば、メモリ領域数をメモリM1およびM2の各々において"1"だけ増大させるが、この代わりに図4に示すメモリM3を不要にすることができる。

【0056】尚、セレクトアEO、奇数メモリOM、および偶数メモリEMはドライバ部XT1-XT8の動作速度をさらに低減しなくてもよい場合に省略可能である。

この場合、メモリM1およびM2の各メモリ領域はRGB画素データを格納するために18ビットで構成される。

【0057】

【発明の効果】以上のように、本発明のフラットパネル表示装置およびその駆動方法は各水平画素アレイをブロック駆動するために必要なメモリ容量を小規模に維持できる。

【図面の簡単な説明】

【図1】図1は本発明の第1実施例に係るフラットパネル表示装置の構成を概略的に示す平面図である。

【図2】図2は図1に示す液晶パネルの断面図である。

【図3】図3は図1に示す信号線駆動基板および配線フィルム上に形成される信号線駆動回路の一部を示すブロック図である。

【図4】図4は図1に示す制御回路基板上に形成される液晶コントローラを示すブロック図である。

【図5】図5は図1に示すフラットパネル表示装置の動作を説明するためのタイムチャートである。

【図6】図6は図4に示す液晶コントローラの変形例を示すブロック図である。

【図7】図7は本発明の第2実施例に係るフラットパネル表示装置の液晶コントローラを示すブロック図である。

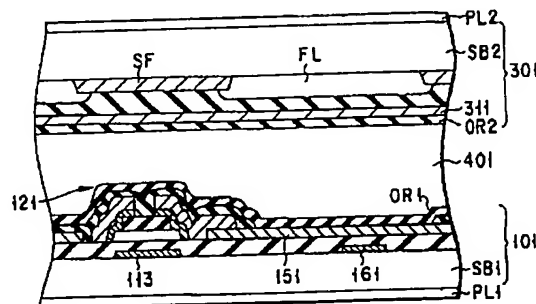
【図8】図8は図7に示す液晶コントローラによって制御される第2実施例のフラットパネル表示装置の動作を説明するための図である。

【図9】図9は図7に示す液晶コントローラによって制御される第2実施例のフラットパネル表示装置の動作を説明するための図である。

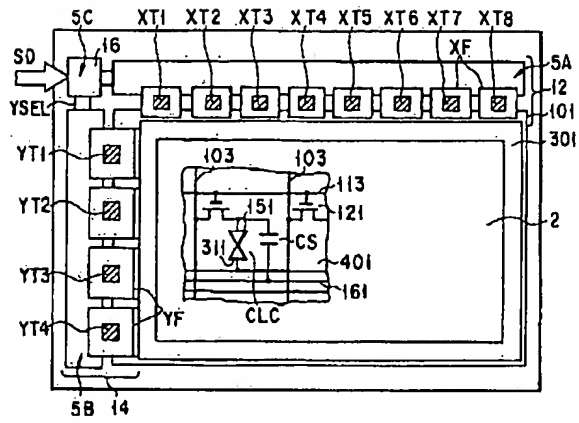
【符号の説明】

3...表示パネル、XT1-XT8...ドライバ部、SDL1, SDL2...データ供給バス、16...液晶コントローラ、M1-M3...メモリ、DST...データ分配回路、SC...シーケンスコントローラ。

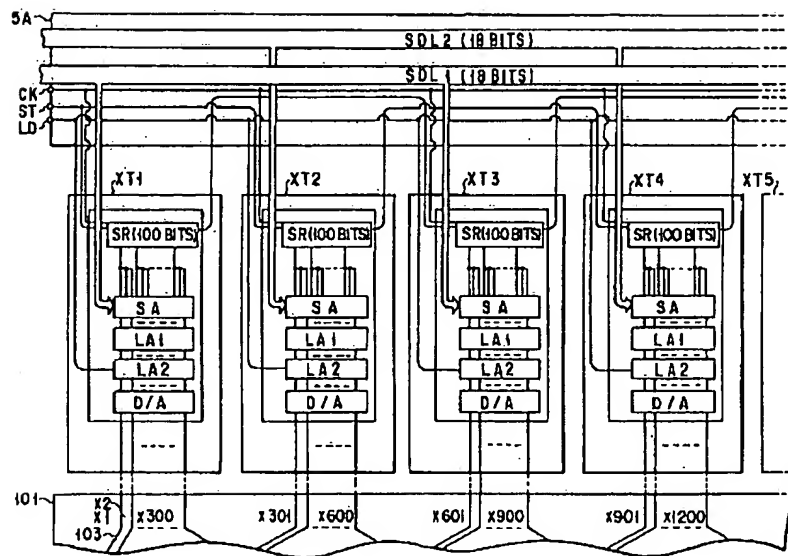
【図2】



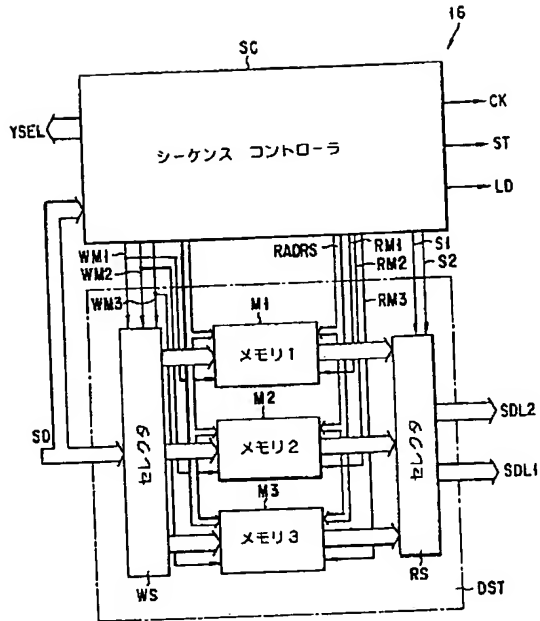
【図1】



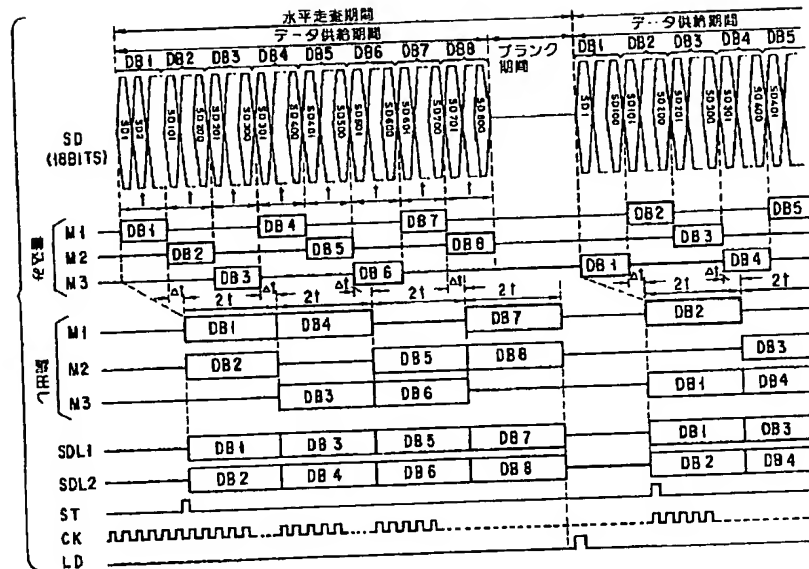
【図3】



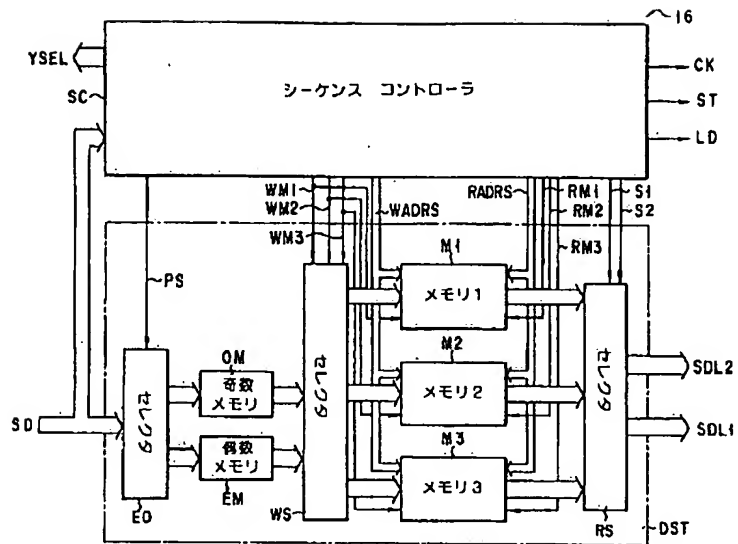
【図4】



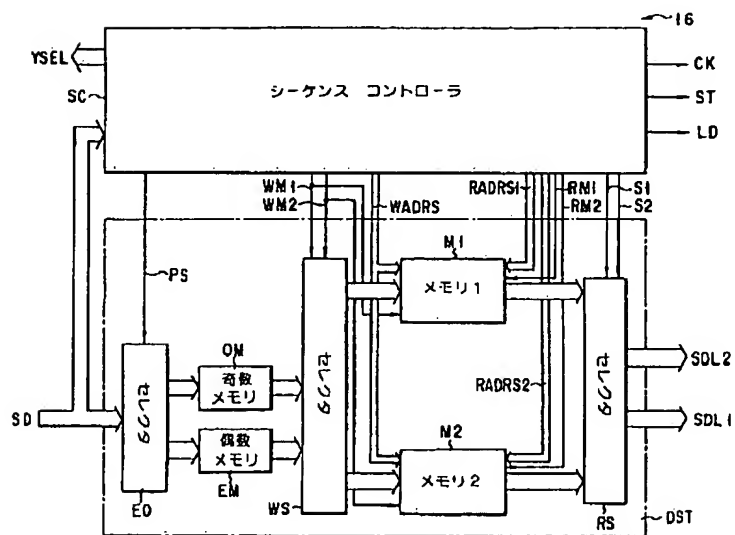
【図5】



【図6】

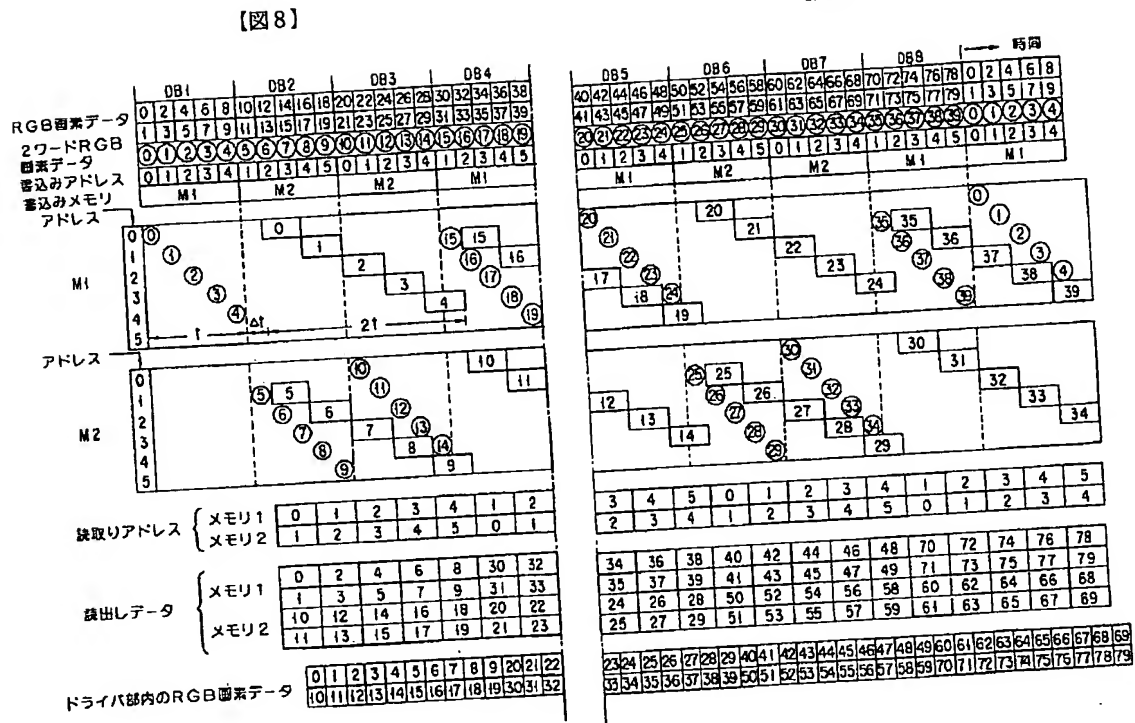


【図7】



(17)

【図9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)